

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-259334  
(43)Date of publication of application : 17.11.1986

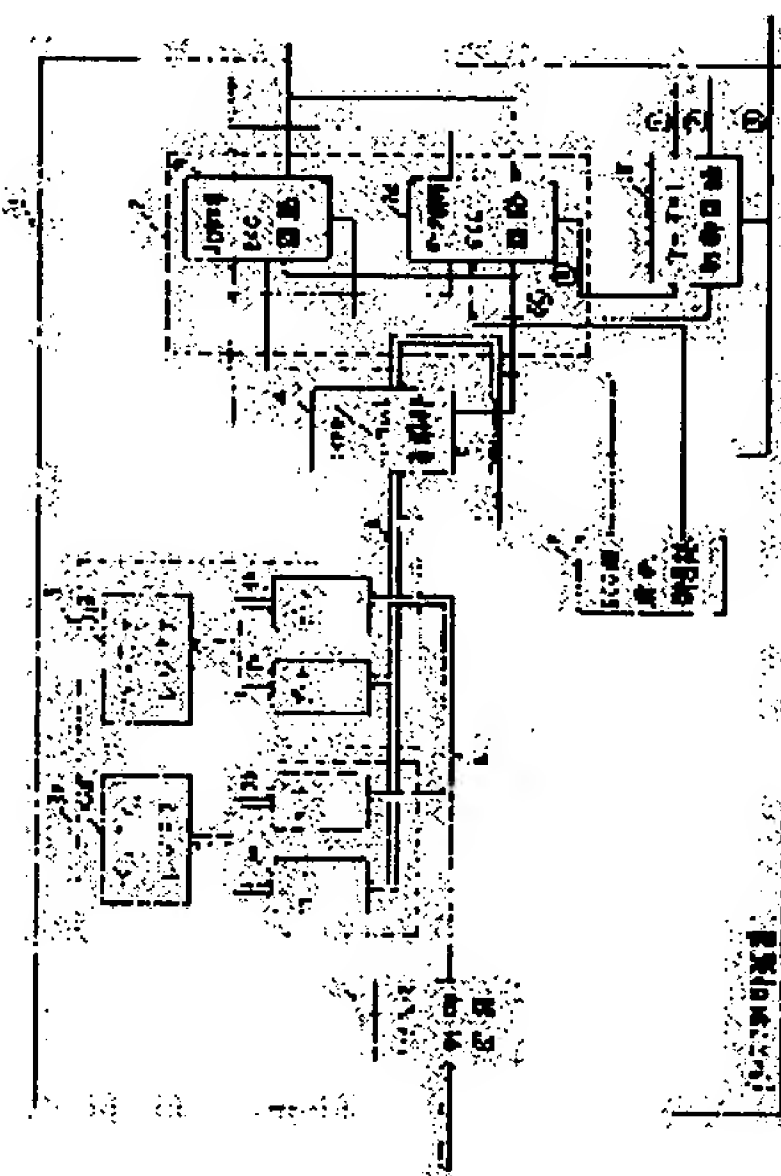
(51)Int. Cl. G06F 3/06  
G11B 20/18

(21)Application number : 60-100682 (71)Applicant : FUJITSU LTD  
(22)Date of filing : 13.05.1985 (72)Inventor : MORIHARA MASABUMI

## (54) DATA TRANSFERRING SYSTEM

## (57)Abstract:

PURPOSE: To improve processing efficiency by executing immediately a transferring processing in case of the bit error of an ID part which can be corrected by ECC.  
CONSTITUTION: When the data for one sector are transferred from a disk device to a disk control device 1 are transferred, the data of the ID part (a) are applied to an ECC circuit 71 for ID, even when the bit error is detected, the data of a data part (b) corresponding to the IDa are continuously transferred as they are, and applied to an ECC circuit 72 for the data part (b). During the time, the error of the ID part (a) is analyzed, can be corrected by the correcting ability held by an ECC part 7, the data are transferred to the calculating system and the processing of the next selector can be continuously executed.



## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C) ; 1998, 2000 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-259334

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)11月17日

G 06 F 3/06

S-6711-5B

R-6711-5B

P-6711-5B

Q-6711-5B

G 11 B 20/18

1 0 2

6733-5D

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 データ転送方式

⑯ 特 願 昭60-100682

⑰ 出 願 昭60(1985)5月13日

⑱ 発 明 者 森 原 正 文 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富 士 通 株 式 有 限 公 司 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 松 岡 宏 四 郎

## 明 細 書

## 1. 発明の名称

データ転送方式

## 2. 特許請求の範囲

識別子部とデータ部からなるセクタフォーマットを有するディスク装置のデータ書き込み/読出し動作を制御する装置(1)において、

該セクタのデータをそれぞれに格納するバッファ部(30,31)と、

該セクタ内の該識別子部及び該データ部のビットエラーの検出・訂正を行うECC部(7)とを設け、

該識別子部でのビットエラー発生を前記ECC部(7)が検出した場合、該セクタ処理は継続実施すると共に検出されたビットエラーの解析をECC解析制御回路(6)で行い、

ビットエラーの解析結果が前記ECC部(7)で訂正可能な時は、次の該セクタ処理も連続処理することを特徴とするデータ転送方式。

## 3. 発明の詳細な説明

## (概要)

データ転送方式であって、識別子部でのビットエラー発生を検出した場合、該セクタ処理を停止して、ビットエラーの解析・訂正処理を行っていたのに対応して、ECC部で訂正可能なビットエラーの場合、該セクタ処理を継続実施するように構成し、データ書き込み/読出しの処理効率向上を可能とする。

## (産業上の利用分野)

本発明は、エラー訂正符号で訂正可能なビットエラーが識別子部で発生した場合、該セクタ処理を継続処理するデータ転送方式に関する。

情報処理システムの利用方法が高度化・複雑化するに伴い扱うデータ量が膨大となり、その膨大なデータを迅速に処理するためには処理スピードの高速化がより厳しく要求されるようになってきた。

かかる要請に対処する1つの対処方法としては、

例えばデータの書込み／読出し処理を行う場合、少しでも効率化することが必要となる。

(従来の技術と発明が解決しようとする問題点)

従来技術としてディスク制御装置のディスク装置に対するデータ書込み／読出し制御を例に取り説明する。

第4図は従来技術を説明するブロック図、第5図は従来技術でのデータ転送状況図をそれぞれ示す。

第4図のブロック図は従来例のディスク制御装置の1部を示し、

上位のホスト計算システム(図示してない)とのインタフェースを制御するインタフェース制御回路2、

ホスト計算システム(図示してない)から転送されて来たデータを格納したり、ホスト計算システム(図示してない)へ転送するデータを格納するバッファレジスタ3と、

ホスト計算システム(図示してない)に対する

ディスク装置(図示してない)で読出されたデータはECC回路5を経由してシリアル/パラレル変換部4へ転送されて来る。尚、各セクタは先頭にID部(a)、その後にデータ部(b)を有し、ID部(a)、データ部(b)の最終部分にはそれぞれECCが記録されているものとする。

ECC回路5ではフォーマット制御回路8で読出した該当セクタ(1)のフォーマットデータとECCにより該当セクタ(1)でのビットエラーの有無の検出を行う。尚、①は書込み用ゲート信号、②は読出し用ゲート信号、③はクロック信号、④はID部(a)信号、⑤はデータ部(b)信号をそれぞれ示す。

一方、シリアル/パラレル変換部4ではクロック信号③に基づき転送されて来たシリアルデータをパラレルデータに変換してデータバスbへ送出する。この時、ゲート3bが開きこのデータをバッファレジスタ3に格納する。

次にインタフェース制御回路2の制御によりゲート3aを開き、バッファレジスタ3に格納しているデータを上位のホスト計算システム(図示して

データ運搬を行うデータバスaへ出るためのゲートとなるゲート3aと、

ディスク装置(図示してない)に対するデータ運搬を行うデータバスbへ出るためのゲートとなるゲート3bと、

パラレルデータをシリアルデータへ、シリアルデータをパラレルデータへ変換するシリアル/パラレル変換部4と、

各セクタの識別子部(以下ID部と称する)及びデータ部毎のビットエラーを検出し、その能力の範囲で訂正するECC回路5と、

ECC回路5でのエラー解析を制御するECC解析制御回路6と、

ディスク装置(図示してない)上のデータフォーマット(本例の場合セクタフォーマット)の書込み／読出しを制御するフォーマット制御回路8と、

から構成されている。

例えば、第5図に示すように1つのセクタ(1)の読出し制御をディスク制御装置1が行う場合、デ

ない)に転送する。

上記一連の動作中において、例えば第5図に示すように3番目のID部(a)のデータをECC回路5に掛けた時ビットエラーが検出されると、データ部(b)の読出し処理は停止され、図示してない所定回路の指示によりECC解析制御回路6はECC回路5にビットエラーの解析を行わせると共に、ECC回路5の持つ能力で訂正可能であれば訂正し、訂正されたデータをシリアル/パラレル変換部4に送出する。

上記処理を行った後、データ部(b)の読出し処理はディスク媒体(図示してない)1回転後に行うことになる。

尚、第5図に上述のデータ転送状況を示し、  
・1・はホスト計算システム(図示してない)へのデータ部(b)のデータ転送状況、  
・4・はディスク装置(図示してない)から各セクタのデータ読取り状況、  
・5・はエラーデータのチェック状況、  
DTはセクタNのデータ部(b)のデータ、(DT+1)はセクタ(N+1)のデータ部(b)のデータ等をそれぞれ

示す。

もし、ID部(a)のビットエラーがECC回路5の持つ訂正能力以上のビットエラーとして検出された場合は、エラーデータがインタフェース制御回路2を経由してホスト計算システム(図示してない)に転送され、ホスト計算システム(図示してない)はエラー処理ルーチンを実行する。

以上のようにID部(a)のビットエラーがECC回路5の持つ能力で訂正可能な場合でも、データ部(b)の読出し処理はディスク媒体(図示してない)1回転後に行うため、ディスク媒体(図示してない)1回転待ちの間、データ転送処理が中止されるという問題点がある。

(問題点を解決するための手段)

第1図は本発明の原理ブロック図を示す。

第1図は第4図で説明したシリアル/パラレル変換部4、ECC解析制御回路6、フォーマット制御回路8と、

2セクタ分のデータ部(b)のデータを格納するバ

ッファ部30,31と、  
ID部(a)用、データ部(b)用のECC処理機能を有するECC部7と、  
から構成されている。

〔作用〕

ディスク装置(図示してない)からディスク制御装置1に対して転送されるデータを2セクタ分格納するバッファを有するため、ホスト計算システム(図示してない)へのデータ転送はディスク装置(図示してない)から転送されて来るセクタより1セクタ遅れて転送する。

従って、ディスク装置(図示してない)から1つのセクタ分のデータが転送されて来た時、そのID部(a)でビットエラーが検出されても該当ID部(a)に対応するデータ部(b)のデータはそのまま引続き転送されて来て、データ部(b)用のECC処理機能に掛ける。

この間にID部(a)のエラーは解析され、ECC部7の持つ訂正能力で訂正可能な場合は該当のデータ

はセクタ(N+3)、「DT+4」はセクタ(N+4)のデータ部(b)のそれぞれのデータを示す。

次に、第3図に基づき本実施例の動作を説明する。

ディスク制御装置1は上位のホスト計算システム(図示してない)から読出し命令を受けた該当ディスク装置(図示してない)に対してN番目のセクタ(l)の読出しを指示し、その読出しデータを転送させる。転送されて来る読出しデータの内、ID部(a)データはID用ECC回路71に掛けてビットエラーの検出を行う。

一方、データ部(b)のデータDTはデータ用ECC回路72に掛けてビットエラーの検出を行い、シリアル/パラレル変換部4を経由してバッファレジスタ30aに格納する。尚、この時のゲート3a,3bの動作は第4図で説明したものと同一のもので、同一の動作を行う。

最初のセクタ(l)の転送が終了すると、次のセクタ(l)のデータ(DT+1)が同様に転送されて来て、バッファレジスタ31aへ格納を開始する。同

(実施例)

以下本発明の要旨を第2図、第3図に示す実施例により具体的に説明する。

第2図は本発明の実施例を説明するブロック図、第3図は本発明に係るデータ転送状況図をそれぞれ示す。尚、全図を通じて同一符号は同一対象物を示す。

又、第3図に示す・1・はホスト計算システム(図示してない)に転送するデータタイミング、・2・はバッファレジスタ30aにデータを格納する時間、・3・はバッファレジスタ31aにデータを格納する時間、・4・はセクタ(l)からディスク制御装置1に対するデータ転送時間、・5・はECC解析タイミングをそれぞれ示す。

更に、「DT」はセクタN、「DT+1」はセクタ(N+1)、「DT+2」はセクタ(N+2)、「DT+3」

時に、バッファレジスタ30aに格納されているデータDTはインタフェース制御回路2の制御のもとにホスト計算システム(図示してない)へ転送される。

上記と同様な動作を繰り返し行い、例えば4番目のセクタ(1)のデータが転送されて来て、ID用ECC回路71に掛けた時にビットエラーが検出されると、図示してない回路の指示のもとにECC解析制御回路6はID用ECC回路71のECC解析を制御する。尚、フォーマット制御回路8は第4図で説明したのと同じ動作を行う。

次に、4番目のデータ部(4)のデータ(DT+3)はデータ用ECC回路72に掛けてバッファレジスタ31aへ格納する。この間にECC解析は終了し、このビットエラーがID用ECC回路71の持つ訂正能力で訂正可能の時は直ちに訂正処理し、次のセクタ(1)のデータ転送を受けつけることが可能となり、引き続きデータ(DT+4)の処理を行う。

尚、ID用ECC回路71の持つ訂正能力で訂正不可能の場合は直ちにデータ転送処理は中止され、そ

の旨ホスト計算システム(図示してない)へ報告し、ホスト計算システム(図示してない)はエラー処理ルーチンを実行する。

〔発明の効果〕

以上のような本発明によれば、ECCで訂正可能なID部のビットエラーであれば、データ部のデータ転送はディスク媒体の回転待ちをすることなく直ちに転送処理が出来、データの書き込み/読出し動作が効率的に処理出来ると言う効果がある。

#### 4. 図面の簡単な説明

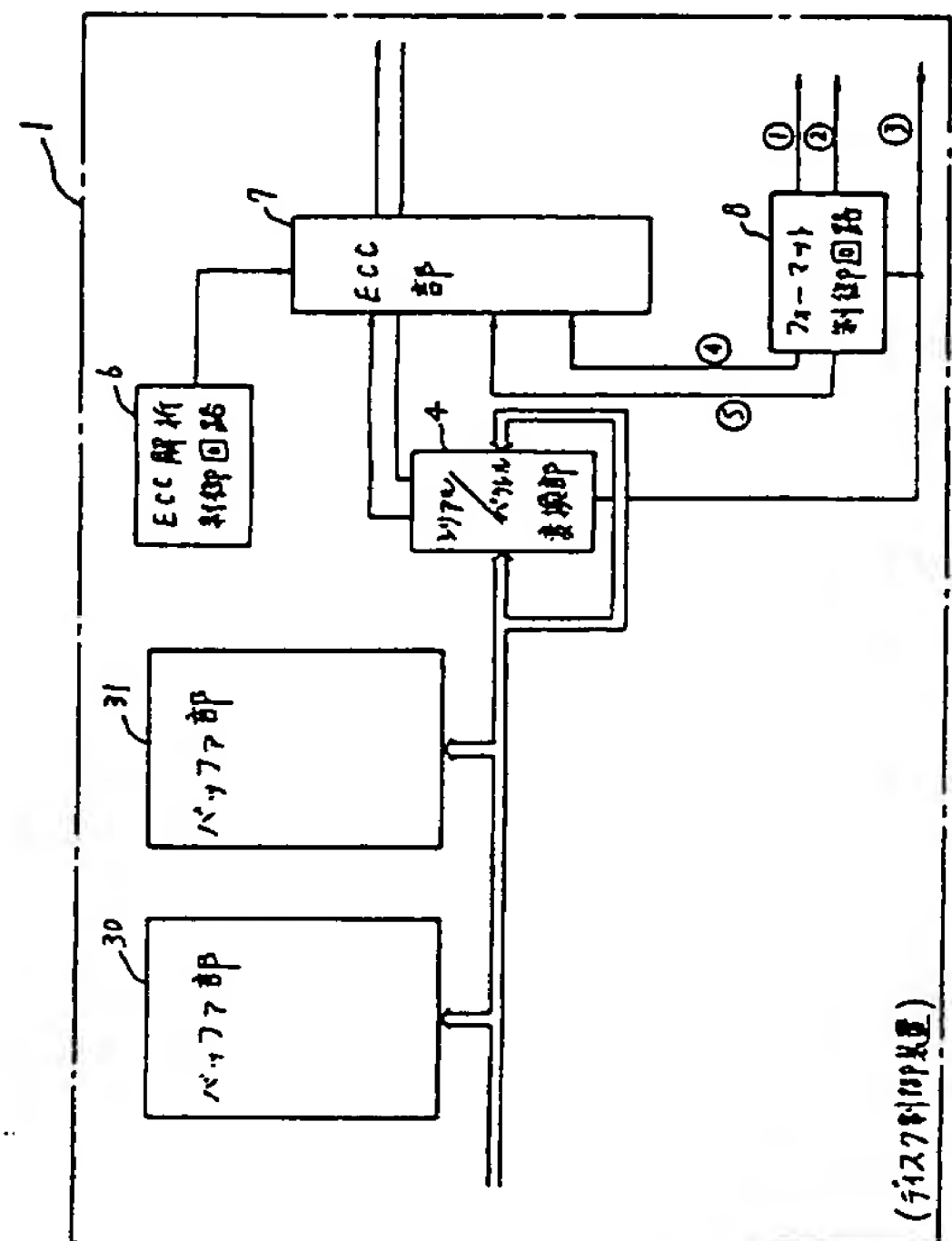
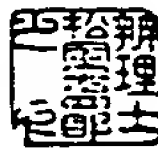
第1図は本発明の原理ブロック図、  
第2図は本発明の実施例を説明するブロック図、  
第3図は本発明に係るデータ転送状況図、  
第4図は従来技術を説明するブロック図、  
第5図は従来技術でのデータ転送状況図、  
をそれぞれ示す。

第2図、第4図において、

1はディスク制御装置、

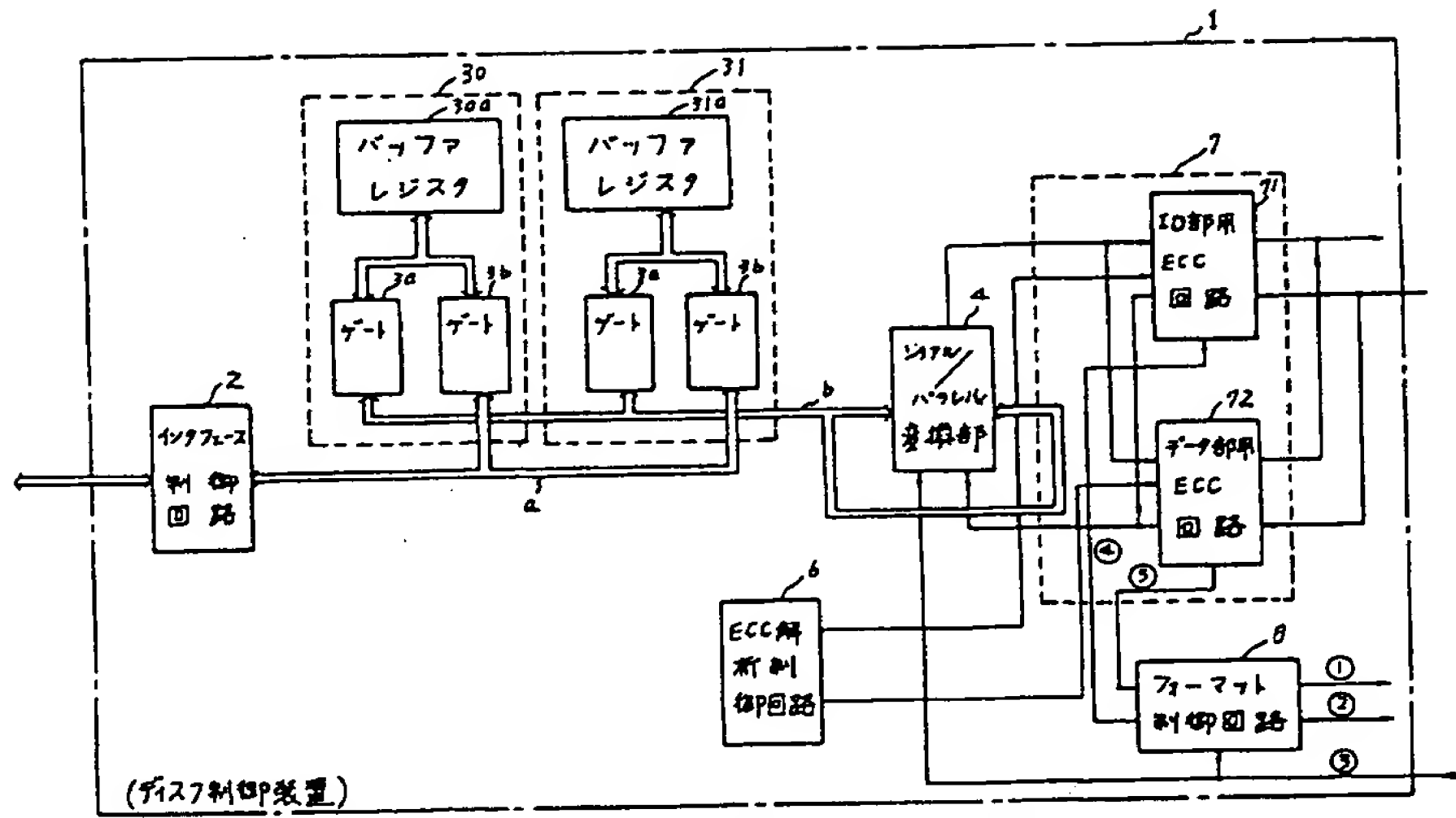
- 2はインタフェース制御回路、
- 3、30a、31aはバッファレジスタ、
- 3a、3bはゲート、30、31はバッファ部、
- 4はシリアル/パラレル変換部、
- 5はECC回路、6はECC解析制御回路、
- 7はECC部、71はID部用ECC回路、
- 72はデータ部用ECC回路、
- 8はフォーマット制御回路、

代理人 弁理士 松岡宏四郎



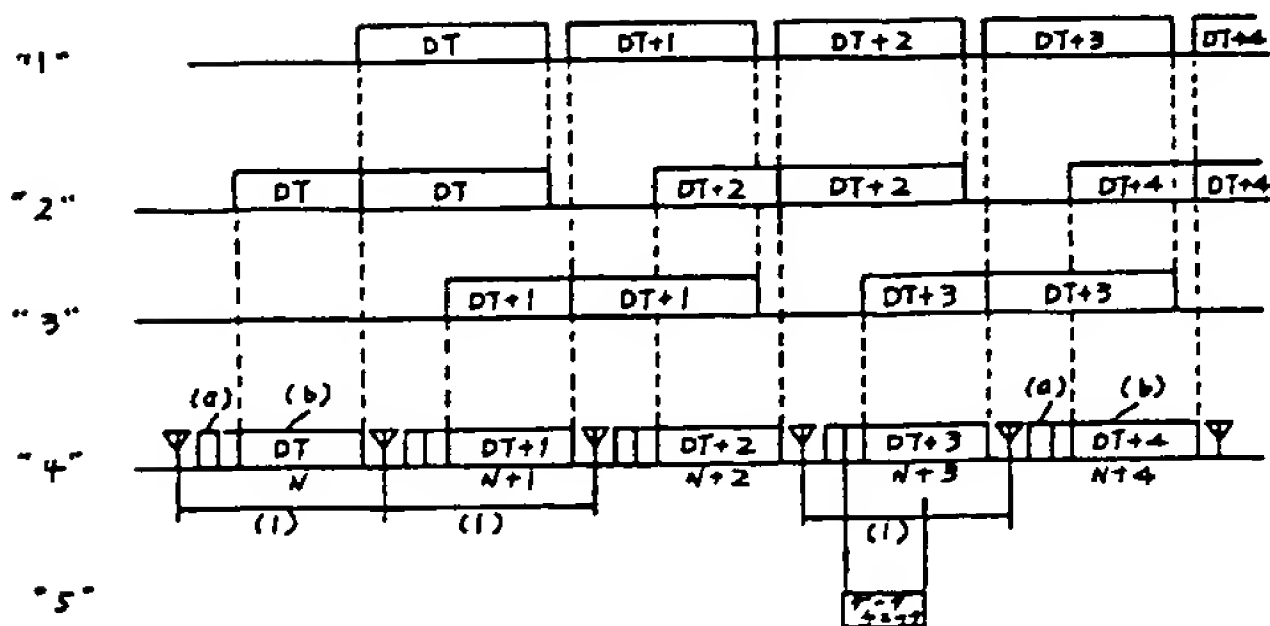
本発明の原理ブロック図

第1図



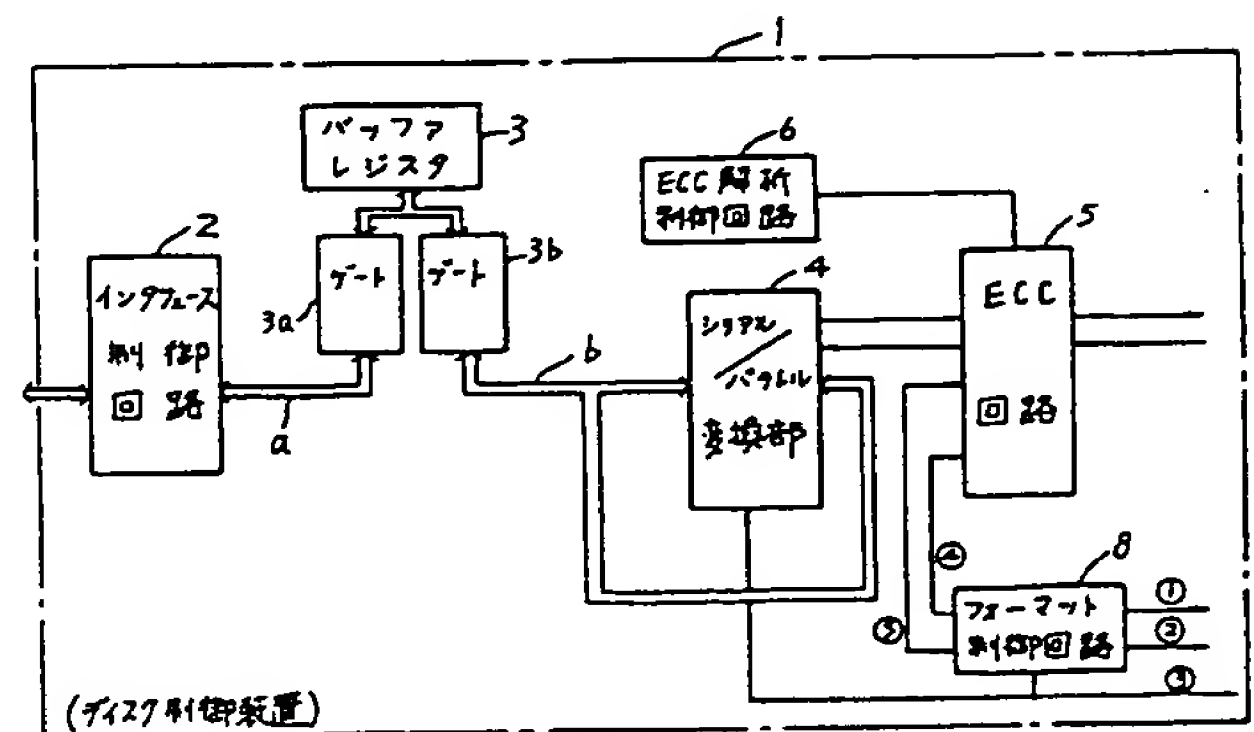
本発明の実施例を説明するブロック図

第2図



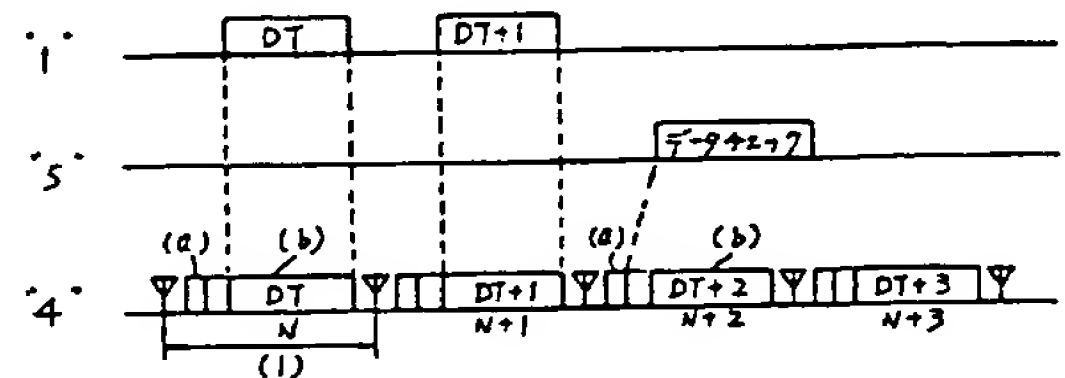
本発明に係るデータ転送状況図

第3図



従来例を説明するブロック図

第4図



従来のデータ転送状況図

第5図

(19) Patent Office of Japan (JP)

(12) Patent Publication (A)

(11) Published Patent Application 61-259334

(43) Published: Nov. 17, 1986

(51) Int. Cl ID symbol In-patent office serial No.

G 06 F 3/06

S 6711 5B

R 6711 5B

P 6711 5B

Q 6711 5B

G 11 B 20/18 102

6733 5D

Request for Examination: not made

Number of inventions: 1 (5 pages in all)

(54) Title of the Invention: DATA TRANSFER SYSTEM

(21) Patent Application 60-100682

(22) Filed: May 13, 1985

(72) Inventor: Masafumi Morihara, C/o Fujitsu KK, 1015,

KamioTanaka, Nakahara-ku, Kawasaki,

Kanagawa Prefecture

(71) Applicant: Fujitsu KK, 1015, KamioTanaka,

Nakahara-ku, Kawasaki,

Kanagawa Prefecture

(74) Attorney: (Benrishi) Koushirou Matsuoka



## SPECIFICATION

### 1. Title of the Invention

Data Transfer System

### 2. Claim for patent

A system for transferring data in a device (1) for controlling the operation of the read/write of data of a disc apparatus having a sector format including an identification part and a data part, characterized in that said system comprises:

buffer units (30,31) for storing the data of said sector therein, and

an ECC (error correction code) unit (7) which conducts the detection and correction of a bit error in said identification part and said data part of said sector and in that when occurrence of a bit error in said identification part is detected by said ECC unit (7), processing of said sector is continuously executed and the analysis of the detected bit error is conducted by an ECC analysis control circuit (6) and,

if a result of the analysis of the bit error shows that the bit error is correctable by said ECC unit (7), processing of said next sector is continuously conducted.

### 3. Detailed Description of the Invention

#### [Summary]

It is an object of the present invention to enhance the processing efficiency of data read/write operation in a data transfer system even when occurrence of a bit error in an identification part is detected by continuously conducting the sector processing if the detected bit error is correctable by an ECC unit in contrast to the prior art operation in which the sector processing is terminated, so that the analysis and correction of the detected bit error is conducted.

#### [Field of industrial Utilization]

The present invention relates to a data transfer system in which if a bit error which is correctable by an error correction code should occur in an identification part of a sector, the processing of said sector is continuously conducted.

As the utilization of the information processing systems has advanced and complicated, the amount of the data to be processed has become enormous. In order to process an enormous amount of data at a high speed, speeding up of processing has been strongly demanded.

In order to meet such a demand, for example, data read/write processing should be made more efficient even in small amounts.

#### [Prior Art and Problem to be solved by the invention]

A prior art will be described by way of the control of data read/write for a disc apparatus of a disc control device.

Figs. 4 and 5 show a block diagram explaining a prior art and a time chart showing the data transfer in prior art, respectively.

The block diagram of Fig. 4 shows a part of an exemplary prior art disc control device, which comprises an interface control circuit 2 for controlling the interface between the disc control device and a host computer system (not shown),

a buffer register 3 for storing therein data which has been transferred from the host computer system (not shown) and for storing therein data to be transferred to the host computer system (not shown),

a gate 3a for a data path a through which data is forwarded to the host computer system (not shown),

a gate 3b for a data path b through which data is forwarded to the disc apparatus (not shown),

a serial/parallel conversion unit 4 for converting parallel data into serial data and vice versa,

an ECC circuit 5 for detecting a bit error in an identification (hereinafter referred to as ID) part and data part of each sector and for correcting the detected error within its ability,

an ECC analysis control circuit 6 for

controlling the error analysis in the ECC circuit 5, and a format control circuit 8 for controlling the read/write of the data format (sector format in this case) on the disc apparatus.

For example, when control of reading of one sector (c) is conducted by the disc control device 1 as shown in Fig. 5, the data which has been read from the disc apparatus (not shown) is transferred to the serial/parallel conversion unit 4 via the ECC circuit 5. It is assumed that each sector has the ID part (a) at the leading end thereof, which is followed by the data part (b) and that an ECC is recorded at the trailing ends of the ID part (a) and data part (b), respectively.

In the ECC circuit 5, presence or absence of a bit error in the sector (1) which is read from the format control circuit 8 is determined by the format data and the ECC of the read sector (1). Reference numerals 1, 2, 3, 4 and 5 which are enclosed by circles represent a write gate signal, read gate signal, clock signal, ID part (a) signal and data part (b) signal, respectively.

On the other hand, the serial/parallel conversion unit 4 converts the serial data which has been transferred in synchronization with the clock signal 3 into the parallel data for forwarding it to the data path b. At this time, the gate 3b is opened for storing the data in the buffer register 3.

Subsequently, the gate 3a is opened for transferring the data which is stored in the buffer register to the host computer system (not shown).

If a bit error is detected on application of the data of a third ID part (a) upon the ECC circuits 5 as shown in, for example, Fig. 5 in the course of the above-mentioned sequential operation, reading of the data part (b) is terminated. The ECC analysis control circuit 6 causes the ECC circuit 5 to conduct the analysis of the bit error in response to an instruction of a given circuit (not shown) to correct the bit error if it is correctable within the ability of the ECC circuit 5 and to forward the corrected data to the serial/parallel conversion unit 4.

Subsequently to the above-mentioned processing, the reading of the data part (b) is conducted after the one turn of the disc medium (not shown), that is, after the lapse of one rotational latency thereof.

The above-mentioned data transfer is illustrated in Fig. 5. The numerals "1", "4", "5", DT and (DT+1) denote transfer of data of the data part (b), reading of the data of each sector from the disc apparatus (not shown), checking of the error data, the data of the data part (b) of the sector N, and the data of the data part (b) of the sector (N+1), respectively.

If the bit error of ID part (a) is detected as

a bit error which is uncorrectable within the ability of the ECC circuit 5, the error data is transferred to the host computer system (not shown) via the interface control circuit 2 so that the host computer (not shown) executes an error processing routine.

Since reading of the data part (b) is conducted after one turn of the disc medium (not shown) even if the bit error of the ID part (a) is correctable by the ECC circuit 5 as mentioned above, the prior art has a drawback that the data transfer is interrupted until one turn of the disc medium (not shown) is completed, that is, a rotational latency lapses.

[Means for solving the Problem]

Fig. 1 is a block diagram showing the principle of the present invention.

The system shown in Fig. 1 comprises the serial/parallel conversion unit 4, ECC analysis control circuit 6, format control circuit 8, which has been described with reference to Fig. 4; and further includes

buffer units 30, 31 for storing therein the data of the data parts (b) of two sectors; and

an ECC unit 7 having a capability of ECC processing for ID and data parts (a) and (b), respectively.

(Operation)

Since the system has buffers which store therein the data of two sectors, which are transferred

from the disc apparatus (not shown) to the disc control device 1, the transfer of the data to the host computer system (not shown) is delayed by time of one sector with respect to the transfer of the data from the disc apparatus.

Accordingly, even if a data error is detected in the ID part of the data of one sector when it is transferred from the disc apparatus (not shown), the data of the data part (b) relevant to the ID part in interest is continuously transferred and is subject to the ECC processing for the data part (b).

During this period of time, the error in the ID part (a) is analyzed and is transferred to the host computer system (not shown) if the error can be corrected by the ECC unit 7 and processing of next sector can be continuously conducted.

[Embodiment]

Now, the gist of the present invention will be described in detail by way of an embodiment shown in Figs 2 and 3.

Fig. 2 is a block diagram showing an embodiment of the present invention. Fig. 3 shows the data transfer in accordance with the present invention. Like references denote like components throughout the various drawings.

A reference numeral "1" in Fig.3 denotes the timing of transferring data to the host computer system

(not shown), "2" denotes the time when the data is stored in the buffer register 30, "3" denotes the time when the data is stored in the buffer register 31a, "3" denotes the time when the data is stored in the buffer register 31a, "4" denotes the time of the transfer of the data from the sector (1) to the disc control device 1, and "5" denotes the ECC analysis timing.

"DT", "DT+1", "DT+2", "DT+3" and "DT+4" denote the data of the data parts (b) of sector N, sector (N+1), sector (N+2), sector (N+3) and sector (N+4), respectively.

Operation of the present embodiment will be described with reference to Fig. 3.

The disc control device 1 instructs the disc apparatus (not shown) which has received an read instruction from the host computer system (not shown) to read the N-th sector (1) and to transfer the read data. The ID part (a) data of the transferred and read data is applied to an ECC circuits 71 for ID for detecting a bit error therein.

On the other hand, the data DT of the data part (b) is applied to an ECC circuit 72 for detecting a bit error therein and is stored in a buffer register 30a through the serial/parallel conversion unit 4. The operation of the gates 3a and 3b is identical to that which has been described with reference to Fig. 4.

On completion of the transfer of the first



sector, the data (DT+1) in next sector is similarly transferred so that storing of it in the buffer register 31a is initiated. Simultaneously with this, the data DT which is stored in the buffer register 30a is transferred to the host computer system (not shown) under control of the interface control circuit 2.

Operation which is similar to the above-mentioned operation is repeated. If a bit error is detected when the data of, for example, a fourth sector (1) is transferred and is applied to the ID ECC circuit 71, the ECC analysis control circuit 6 controls the ECC analysis of the ID ECC circuit 71 in accordance with an instruction from a circuit (not shown). The format control circuit 8 conducts the operation which is identical to the operation which has been described with reference to Fig. 4.

The data (DT+3) of the fourth data part (b) is applied to the data ECC circuit 7 so that it is stored in the buffer register 31a. During this period of time, the ECC analysis is completed. If the bit error is correctable within the correction ability of the ID ECC circuit 71, it is immediately corrected and the data transfer of next sector (1) is enabled so that processing of the data (DT+4) is subsequently conducted.

If the bit error is incorrectable within the correction ability of the ID ECC circuit 71, processing of the data transfer is immediately terminated.

Termination of the data transfer is reported to the host computer system (not shown), so that the host computer system executes the error processing routine.

[Advantage of the Invention]

In accordance with the present invention, if the bit error in the ID part is correctable by ECC, transfer of the data in the data part can be immediately conducted without waiting for the lapse of any rotational latency of the disc medium, so that data read/write operation can be efficiently achieved.

4. Brief Description of the Drawings:

Fig. 1 is a block diagram showing the principle of the present invention;

Fig. 2 is a block diagram showing an embodiment of the present invention;

Fig. 3 is a time chart showing the data transfer which is conducted in accordance with the present invention;

Fig. 4 is a block diagram showing the prior art;

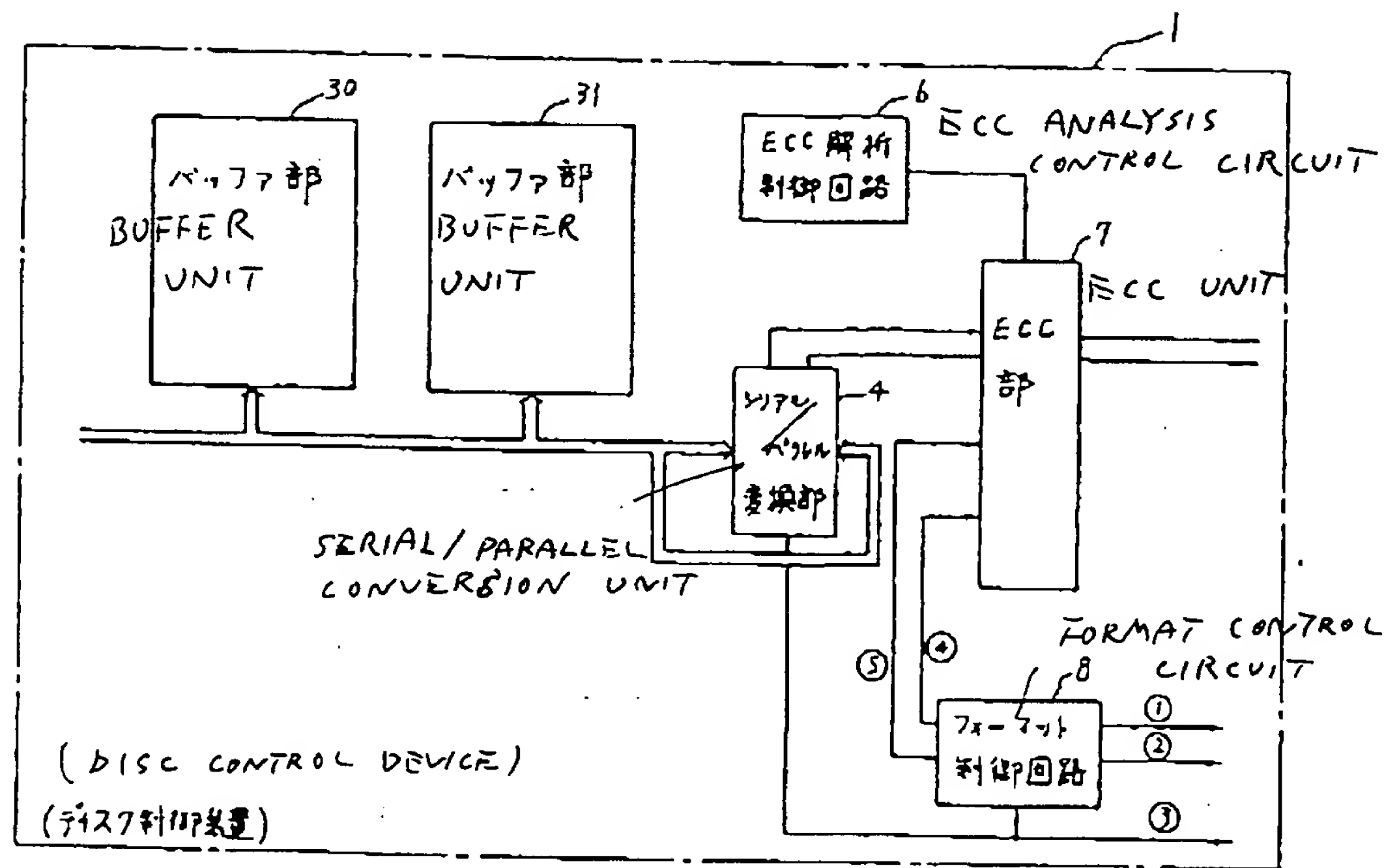
Fig. 5 is a time chart showing the data transfer which is conducted in the prior art.

Reference numeral 1 denotes a disc control device;  
2 an interface control circuit;  
3, 30a, 31a buffer registers;

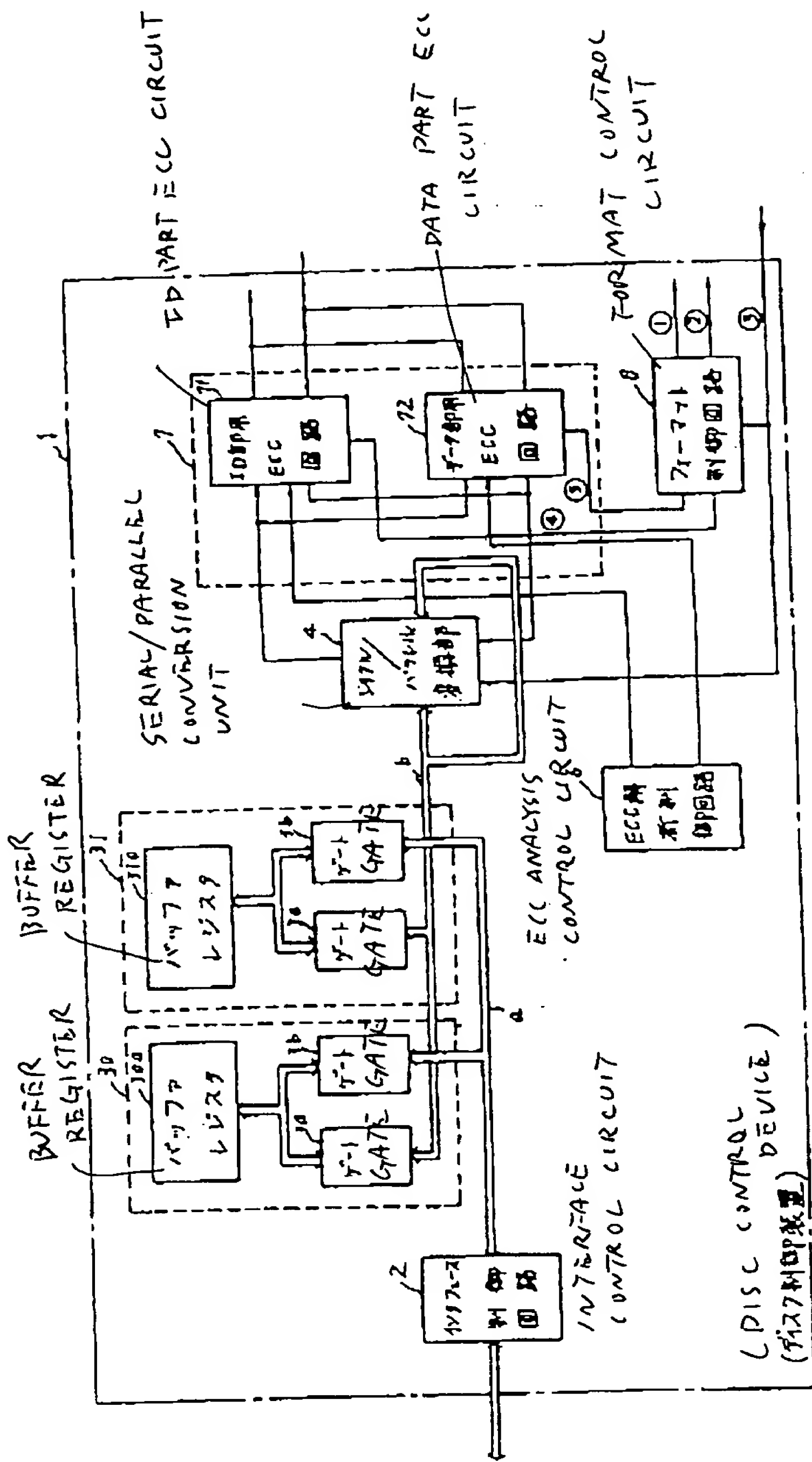
3a, 3b gates;  
30, 31 buffer units;  
4 a serial/parallel conversion unit;  
5 an ECC circuit;  
6 an ECC analysis control circuit;  
7 an ECC unit;  
71 an ID part ECC circuit;  
72 data part ECC circuit; and  
8 a format control circuit

- 2 はインタフェース制御回路、
- 3, 30a, 31a はバッファレジスタ、
- 3a, 3b はデータ、 30, 31 はバッファ部、
- 4 はシリアル/パラレル変換部、
- 5 はECC回路、 6 はECC解析制御回路、
- 7 はECC部、 71 はID部用ECC回路、
- 72 はデータ部用ECC回路、
- 8 はフォーマット制御回路、

代理人 弁理士 松岡宏四郎



本発明の原理ブロック図  
BLOCK DIAGRAM SHOWING PRINCIPLE OF  
第 1 図  
Fig. 1  
PRINCIPLE OF  
PRESENT INVENTION



本発明の実施例を説明するブロック図  
第2図 BLOCK DIAGRAM SHOWING EMBODIMENT OF PRESENT INVENTION

15477  
15479

3

6

INTERFACE  
CONTROL CIRCUIT

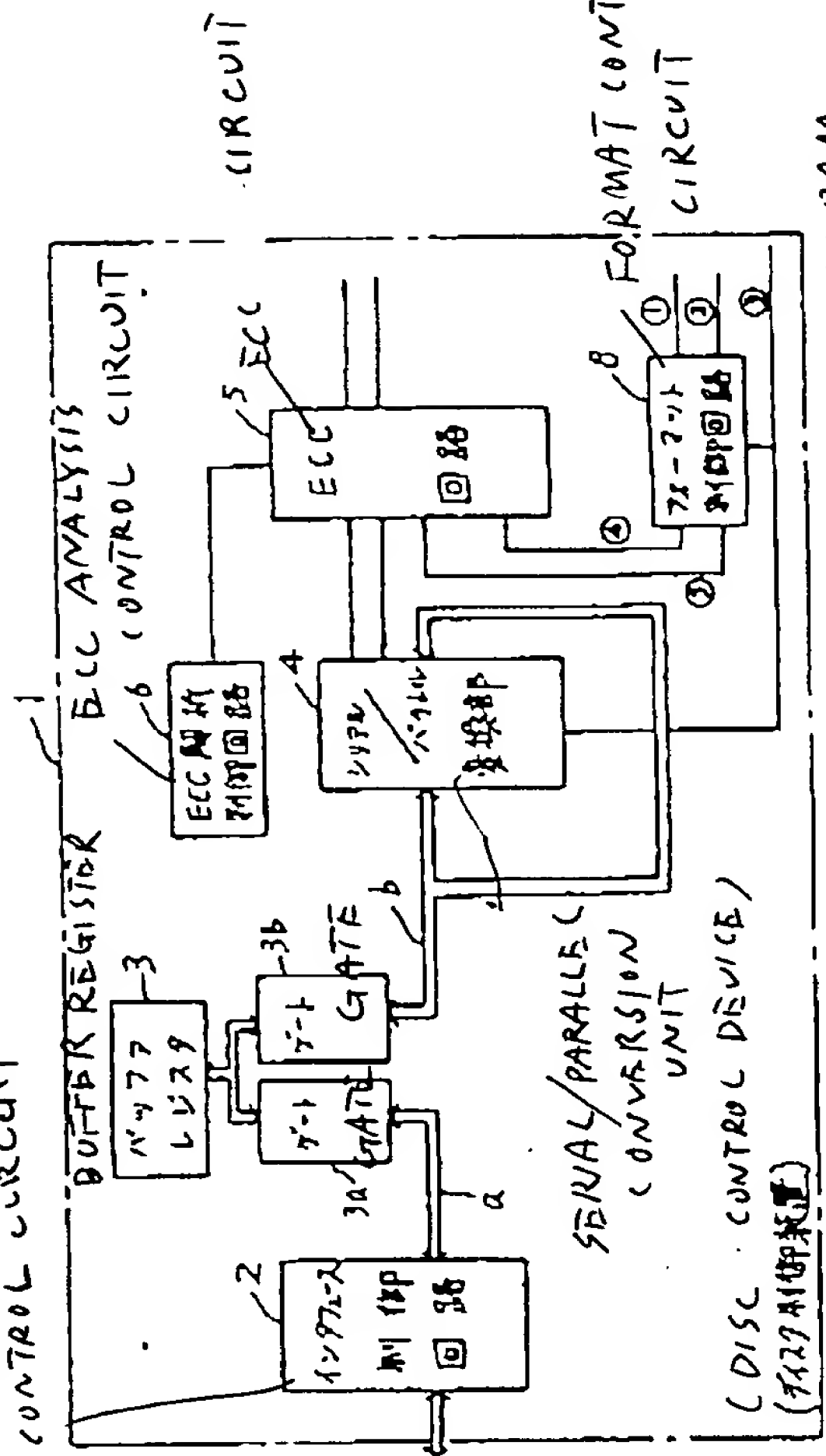


図 4 図 第 4 図 従来の説明に示すブロック図  
AR7 PRIOR ART SHOWING

Fig. 4

図 3 図 第 3 図 従来の説明に示す時間チャート  
AR7 PRIOR ART SHOWING

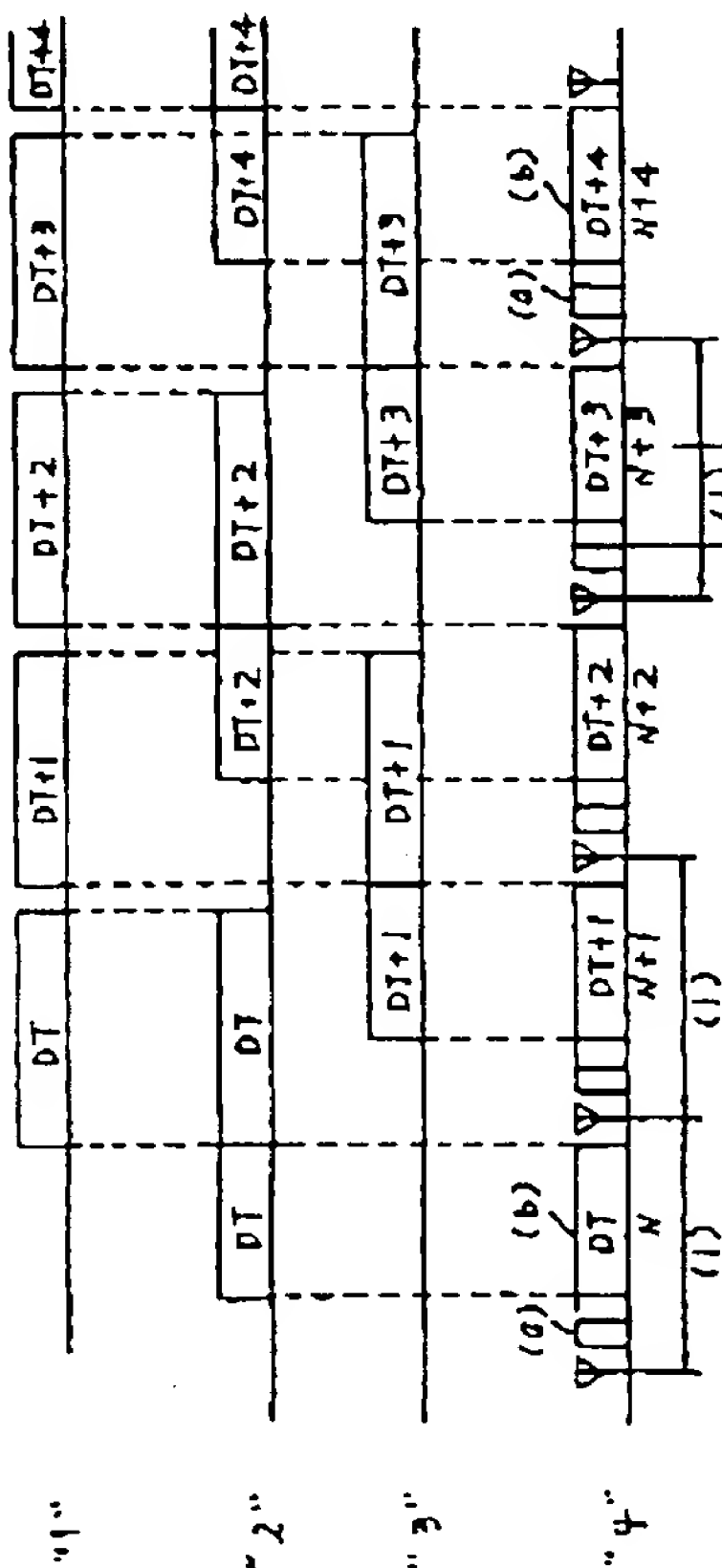


Fig. 3

Fig. 3

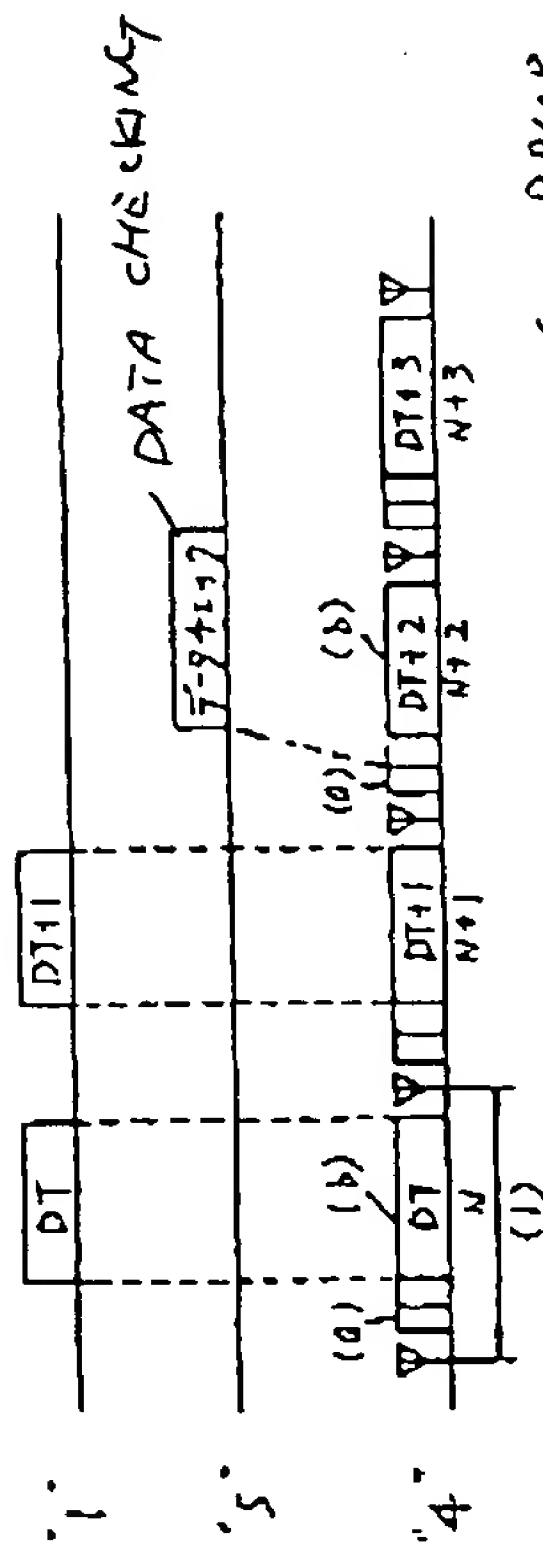


図 5 図 第 5 図 従来の説明に示す時間チャート  
AR7 PRIOR ART SHOWING

Fig. 5